

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01597670 **Image available**

MANUFACTURE OF INSULATED GATE TYPE SEMICONDUCTOR DEVICE

PUB. NO.: 60-076170 [JP 60076170 A]

PUBLISHED: April 30, 1985 (19850430)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 58-184607 [JP 83184607]

FILED: October 03, 1983 (19831003)

INTL CLASS: [4] H01L-029/78; G09F-009/35; H01L-021/203; H01L-027/12; H01L-029/60

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS); R020 (VACUUM TECHNIQUES); R095 (ELECTRONIC MATERIALS -- Semiconductor Mixed Crystals); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 340, Vol. 09, No. 216, Pg. 64, September 03, 1985 (19850903)

ABSTRACT

PURPOSE: To operate the titled semiconductor device at higher frequency by forming a conductor or a semiconductor shaping a gate electrode while being adjoined to an insulator so that the upper end section of the gate electrode is not left on a third semiconductor.

CONSTITUTION: A first conductive film 2 is formed on an insulating substrate as a lower side electrode and a lead, and etched selectively (1).

A P or N type conduction type first nonsingular crystal semiconductor 3 (S1), a second insulator or semi-insulator 4 (S2) and a third semiconductor 5 (S3) having the same conduction type as the first semiconductor are laminated on the upper surface of the conductive film, and a laminate (S) is formed. When a resist 18 is shaped on the upper surface and anisotropic etching from the vertical direction is executed, these conductors can also be left to sections except a region, in which there is the mask 18, as shown in broken lines 38, 38'. Consequently, gate electrodes can be formed selectively only to the side periphery of the laminate. There is not gate electrode in the upper section of the third semiconductor, and unnecessary sections in the gate electrodes 20, 20' formed to the whole outer circumferential sections of the laminate are removed through a photoetching method of 5.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

004312402

WPI Acc No: 1985-139280/198523

Prodn. of vertical-channel type semiconductor device - by forming gate
electrode close to insulator on semiconductor lamination for channel
region NoAbstract Dwg 1/3

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 60076170	A	19850430	JP 83184607	A	19831003	198523 B

Priority Applications (No Type Date): JP 83184607 A 19831003

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 60076170	A	8		

Title Terms: PRODUCE; VERTICAL; CHANNEL; TYPE; SEMICONDUCTOR; DEVICE;
FORMING; GATE; ELECTRODE; CLOSE; INSULATE; SEMICONDUCTOR;
LAMINATE; CHANNEL; REGION; NOABSTRACT

Derwent Class: L03; P85; U11; U12

International Patent Class (Additional): G09F-009/35; H01L-021/20;
H01L-027/12; H01L-029/78

File Segment: CPI; EPI; EngPI

⑪ 公開特許公報(A)

昭60-76170

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)4月30日

H 01 L 29/78
// G 09 F 9/35
H 01 L 21/203
27/12
29/60

8422-5F
6615-5C
7739-5F
8122-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 絶縁ゲイト型半導体装置作製方法

⑮ 特 願 昭58-184607

⑯ 出 願 昭58(1983)10月3日

⑰ 発 明 者 山 崎 舜 平 東京都世田谷区北烏山7丁目21番21号 株式会社半導体エ
ネルギー研究所内

⑱ 出 願 人 株式会社半導体エネルギー研究所 東京都世田谷区北烏山7丁目21番21号

明 細 書

1. 発明の名称

絶縁ゲイト型半導体装置作製方法

2. 特許請求の範囲

1. 基板上または基板上の第1の導電体上に第1の非単結晶半導体、第2の絶縁体または半絶縁体および前記第1の半導体と同一導電型の第3の非単結晶半導体とを積層し、概略同一形状とした積層体を形成せしめる工程と、前記積層体の側部に隣接してチャネル形成領域を構成する第4の非単結晶半導体と該半導体表面上に絶縁物を形成せしめる工程と、前記絶縁物に隣接してゲイト電極を形成する導体または半導体を該ゲイト電極の上端部が前記第3の半導体上に残存することなく形成する工程とを有することを特徴とする絶縁ゲイト型半導体装置作製方法。

2. 特許請求の範囲第1項において、ゲイトを構成する導体または半導体を上方よりの垂直異方向エッチを行うことにより該ゲイト電極の

上端部を第3の半導体上方に残存することなく、ゲイト絶縁物に隣接して形成せしめることを特徴とする絶縁ゲイト型半導体装置作製方法。

3. 発明の詳細な説明

本発明は基板上の非単結晶半導体を用いた擬トランジスタ型の積層型の絶縁ゲイト型半導体装置(以下IGFという)の作製方法に関する。

本発明はこのIGFに対し、ゲイト電極を少なくとも3層に積層させた積層体の側周面に設けられたチャネル形成領域を構成する非単結晶半導体上に設け、さらにこのゲイト電極の上端部を積層された半導体上方に残存することなく設け、より高い周波数動作をさせることを目的とする。

この発明は3層に積層された積層体の2つの側周面にさらにチャネルを形成する非単結晶半導体を設け、この半導体を用いて2つのIGFを作製することにより、インバータ等の回路素子を1つの積層体で設け、高集積化を達成することを目的としている。

本発明はかかるIGFを用いて複合半導体装置をマトリックス構造に基板上に設け、液晶表示型のディスプレイ装置を設けることを特徴としている。

平面型の固体表示装置を設ける場合、平行な透光性基板例えばガラス、プラスチック板内に一對の電極を設けて、この電極間に液晶を注入した液晶表示装置が知られている。この表示部を複数の検素とし、それをマトリックス構成させ、任意の検素をその周辺部に設けられたデコード、ドライバの給電回路により制御してオンまたはオフ状態にするには、その検素に対応したIGFおよびインバータ、抵抗等を同一プロセス、同一構造で作ることを必要としていた。そしてこのIGFに制御信号を与えて、それに対応した検素をオンまたはオフさせたものである。

この液晶表示またはエレクトロクロミック表示素子はその等価回路としてキャパシタ（以下Cという）にて示すことができる。このためIGFとCとを例えば2×2のマトリックス構成(40)せしめたものを第1図(A)に示す。

第1図(A)において、マトリックス(40)の1個の番地は1個のIGF(10)と1個のC(31)により1個の検素を構成させている。これを行に(51)×(52)としてビット線に接続し、他方、ゲイトを接続して列(41)×(42)(ワード)を設けたものである。

すると、例えば(51)×(41)を「1」とし、(52)×(42)を「0」とすると、IGF(10)はオンとなり、IGF(10')等の他のIGFはオフとなる。そして(2,1)番地のみを選択してオンとし、電気的にC(31)として等価的に示される表示部を選択的にオン状態にすることができる。

本発明は、第4の半導体であるチャネル形成領域を構成する半導体は水素または弗素が添加された珪素を主成分とする非単結晶半導体を用いている。さらにキャリア移動度が小さいという欠点を有するため、第2の絶縁体または半絶縁体の膜厚を1μまたはそれ以下として短チャネル素とした。

その結果、10MHz以上のカットオフ周波数を有せしめることができた。

第2図は本発明の積層型IGFの縦断面図およびその製造工程を示したものである。この図面は一つのIGFを作製する製造例を示すが、同一基板上に複数ヶ作る場合もまったく同様である。

第2図(A)において、絶縁基板例えば石英ガラス、透光性プラスチックまたはホウ珪酸ガラス基板上に第1の導電膜(2)(以下B1という)を下側電極、リードとして設けた。この実施例では酸化スズを主成分とする透光性導電膜を0.2μの厚さに形成している。これに選択エッチングを施した。

さらにこの上面にPまたはN型の導電型を有する第1の非単結晶半導体(2)(以下単に積層体であるため、スタック即ちS1という)を1000~3000Å、第2の絶縁体または半絶縁体(4)(以下単にS2という)(0.3~3μ)、第1の半導体と同一導電型を有する第3の半導体(5)(以下単にS3という)(0.1~0.5μ)を積層して積層体(スタック即ちSという)を設けた。この積層によりN⁺、P⁺、P⁺構造(1は絶縁体または半絶縁体)を有せしめた。

図面においては上面にITO(酸化インジウム

・スズ)、MoSi₂、TiSi₂、WSi₂、W、Ti、Mo等の耐熱性金属導体(6)をここではTiSi₂をPCVD法により0.2μの厚さに積層した。積層体をさらに厚く作するため、予めLP CVD法(減圧気相法)、PCVD法または気CVD法により0.3~1μの厚さに酸化珪素膜(7)を形成しておいてもよい。PCVD法の場合はN₂OとSiH₄との反応を250℃で行わしめて作製した。

このN、PをN⁺またはP⁺としてN⁺N⁺N⁺、P⁺P⁺P⁺(1は絶縁体または半絶縁体)としてPまたはNと電極との接触抵抗を下げることは有効であった。

さらに第2図(B)において、マスク⑧を用いて選択エッチング法により絶縁膜(7)を除去し、さらにSiO₂膜(7)をマスクとしてその下の導体(6)、S3、S2およびS1を除去し、残った積層体を互いに概略同一形状に形成した。すべて同一マスクでプラズマ気相エッチ例えばBF₃気体またはCF₄・Oの混合気体を用い、0.1~0.5torr 30Wとしてエッチ速度500Å/分とした。

かくのごとくして概略同一形状の積層体を設け

ると、その側面にもプラズマ処理での損傷を一部で得る。さらにもしS2が半導体である場合、S1とS3との不純物がリークしやすく、S1、S2間、S2、S3間での良好な接合特性を得ることが困難になる。このためこのS2を絶縁物とし、耐熱性を有せしめかつS1、S3の不純物の異常拡散を防止した。さらにこのプラズマエッチで多少の損傷を受けても、PまたはNのS1、S3は導電性を十分有するため、このS1、S3に隣接して新しい第4の半導体を接合を有して積層させている。かくすることによりこのS4は何等の不純物を混合せず、またプラズマ処理もまったくない膜質の好ましい被膜とすることができた。この第4の半導体をこれら積層体S1(13)、S2(14)、S3(15)、導体(23)、絶縁体(24)を覆って積層させた。この第4の半導体(S4という)は、シランのグロー放電法(PCVD法、光CVD法、LT CVD法(Homo CVD法ともいう))を利用して室温～500℃の温度例えばPCVD法における250℃、0.1torr、30W、13.56MHzの条件下にて設けたもので、非晶質(アモルファス)または半晶質

(セミアモルファス)または多結晶構造の非晶結晶性半導体を用いている。本発明においてはアモルファスまたはセミアモルファス半導体(以下S4Sという)を中心として示す。

さらにその上面にこの非晶結晶半導体の側として同一反応炉にて第4の半導体表面を大気に触れさせることなく窒化硅素膜(16)を光CVD法にてシラン(ジシランでも可)とアンモニアとを水蒸気法(気相反応)により作製して、厚さは300～2000Åとした。

この絶縁膜は13.56MHz～2.45GHzの周波数の電磁エネルギーにより活性化して窒素またはアンモニア雰囲気100～400℃で浸して固相—気相反応の窒化硅素を形成してもよい。

また、PCVD法により窒化硅素を形成させてもよい。

するとS2(14)の側周辺では、チャネル形成領域(9)×(9')とその上のゲイト絶縁物(16)としての絶縁物(18)を形成させた。第4の半導体はS1、S3とはその側面においてダイオード接合を構

成させている。

第2図(B)において、さらに第3のマスク④により電極穴開けを行い、この後この積層体上の窒化硅素膜(16)を覆って第2の導電膜(図17)を0.3～1μの厚さに形成した。

この導電膜(17)はITO(酸化インジウム・スズ)のごとき透光性導電膜、 TiSi_2 、 MoSi_2 、 WSi_2 、 W 、 Ti 、 Mo 等の耐熱性導電膜としてもよい。ここではPまたはN型の不純物の多量にドーパされた硅素半導体をPCVD法で作った。即ち、0.5μの厚さにリンが1%添加され、かつ微結晶性(粒径50～300Å)の非晶結晶半導体をPCVD法で作製した。

この後この上面にレジスト(18)を形成した。

さらに第2図(C)に示されるごとく、第4のフォトリソグラフィ技術により垂直方向よりの異方性エッチを行った。即ち例えば CF_4 、 CF_3I 、 CF_3Br 等の反応性気体をプラズマ化し、さらにこのプラズマを基板の上方より垂直に矢印(28)のごとくに加えた。すると導体(17)は、平面上は厚さ(0.5μ)をエッチすると、この被膜は除去され

るが、側面では積層体の厚さおよび被膜の厚さの合計の2～3μを垂直方向に有する。このため図面に示すごとき垂直方向よりの異方性エッチを行うと、破壊(38)(38')のごとくにこれら導体をマスク(18)のある領域以外にも残すことができた。

その結果、積層体の側周辺のみを選択的にゲイト電極を設けることができた。さらにこのゲイト電極は第3の半導体の上方には存在せず、結果として第3の半導体とゲイト電極との寄生容量を実質的にないに等しくすることができた。

かくして第2図(C)を得た。

第2図(C)の平面図を第2図(D)として示してあるが、この積層体の外周辺部のすべてに形成されたゲイト電極(20)×(20')のうち不要部分を④のフォトリソ法により除去している。第2図(D)の番号はそれぞれ対応させている。

第2図(C)×(D)にて明らかなごとく、1GF(10)はチャネルは(9)×(9')と2つを有し、ソースまたはドレイン(13)、ドレインまたはソース(15)を有し、ゲイト(20)×(20')を有する。S3の

電極(19)はリード(21)に延在し、S1のリードは(22)により設けられている。即ち図面では2つのIGFを対として設けることができる。これは2つのIGFのチャネル間のS2の絶縁体が数十MΩの抵抗を有し、実質的に独立構成をし得るためであり、この構造は結晶半導体とはまったく異なった構造を有せしめることができた。

本発明の第4の半導体はアモルファス塗着を含む非単結晶半導体を用い、その中の不対結合手の中和用に水素を用いており、かつ基板と半導体、電極リードが異種材料であり、それらの熱膨張によるストレスを少なくするため、すべての処理を600℃以下好ましくは300℃以下でするとよかった。

またゲイト電極(20)(20')をS1(13)、S2(14)、S3(15)と同様の半導体で電気的にフローティングとして設け、さらにこの上面に絶縁膜を介して第2のゲイトをコントロール・ゲイトとした不揮発性メモリとすることもできる。

かくしてソースまたはドレインをS1(13)、チャ

ネル形成領域(9)(9')を有するS4(25)、ドレインまたはソースをS3(15)により形成せしめ、チャネル形成領域側面にはゲイト絶縁物(16)、その外面面にゲイト電極(20)(20')を設けた積層型のIGF(10)を作ることができた。

この発明は、チャネル長はS2(14)の厚さで決められ、一般には0.1~3μmここでは0.5μmとした。それは非単結晶半導体の移動度が単結晶とは異なり、その1/5~1/100しかないため、チャネル長を短くしてIGFとしての周波数特性を助長させたことにある。

S4(16)にホウ素不純物を被膜形成の際わずかに(0.1~10PPM)添加してN型またはP型またはR半導体としてスレッショールト電圧の制御を行うことは有効であった。

かくして、NチャネルIGFにてドレイン(15)、ソース(12)、ゲイト(20)または(20')として V_{DD} 、 $V_{eq} = 5V$ 、動作周波数15.5MHzを得ることができた。

複合集積化の基礎要素である抵抗インバータに

つき本発明のIGFを以下に記す。

第1図のインバータ(60)の縦断面図を第3図に示す。

第3図(A)および(B)においてIGFは第2図とその番号を対応させている。ドライバ(61)は左側のIGFを、ロードは右側のIGFを用いた。図面(A)ではロードのゲイト電極(20)と V_{DD} (65)とを連続させるエンヘンシメント型、また図面(B)は出力(62)とゲイト電極(20)とを連続させたディプレッション型のIGFを示す。

さらにこのインバータ(60)の出力は(62)よりなり、この基板上の2つのIGF(61)(64)を互いに離間することなく同一半導体積層体(13)(14)(15)に複合化して設けたことを特長としている。

その製造工程は第2図と同様である。図面において④フォトリソがゲイト電極の分割のために必要であることはいうまでもない。

この第3図(A)のインバータは下側電極は図面の前後方向に配設し、その引出し電極形成用に①を用いている。さらにその一部を②によってエ

ッチング除去しており、図示の部分では積層体と同一形状を構成せしめている。この時、下側電極(12)は第4の半導体(25)で覆われているため、ゲイト電極とショートすることがないという特長を有する。また、上側電極を2つのPETとして独立せしめ(19)(19')とした。かくすると1つのIGF(64)(ロード)を電極(19)、ドレイン(15)、チャネル(9)、ソース(13)、電極(12)即ち出力(62)かつ他のIGF(ドライバ)の電極(2)、ドレイン(13)、チャネル(9')、ソース(15')、電極(66)として設けることが可能となる。その結果、2つのIGFを1つのS1~S3のブロックと一体化してインバータとすることができた。

また第3図(B)は下側電極を2つに分割して図面の前後方向に配設せしめている。またこの下側電極のパターニングに①を用い、さらに積層体の形成の際、この電極を第4の半導体で覆い、電気的にゲイト電極(20)(20')と絶縁させている。その他の製造工程は第2図と同様である。

即ち1つのIGF、ロード(64)で V_{DD} (65)、下側

電極(12)、ドレイン(13)、チャンネル(9)、ソース(5)、電極(62)即ち出力(62)、他のIGP(フレイバ)(81)でのドレイン(15)、チャンネル(9')、ソース(13)、電極(12')、 V_{gs} (68)よりなり、入力(83)をゲイト電極(20')に出力(62')をS3より引き出させた。

第1図の抵抗(70)は第3図(A)(B)においてロードを用いればよい。

かくのごとく本発明は縦チャンネルであり、ゲイト電極をS3の上方にわたって設けさせていないため、IGPのゲイト電極とS3との寄生容量を少なくすることができるという大きな特長を有する。さらにS2が絶縁性であるため、30~100Vの大電圧をS1、S3間に加えてもショートすることがない。またS1、S3のいずれがドレインとして作用しても、その外部は絶縁であるため、最も理想的IGPといえる。さらにS4のチャンネル下もS2の絶縁性のため周波数特性の向上に寄与する2つのIGPを対をなして同時に作ることができる。製造マスクも5個で十分であり、マスク精度を必要としない等の多

くの特長をチャンネル長が0.2~1 μ ときわめて短くすることができることに加えて有せしめることができた。

そのため耐圧20~30V、 V_{gs} 4~4Vの範囲で例えば $1 \pm 0.2V$ として制御作製できた。さらに周波数特性がチャンネル長が0.1~1 μ のマイクロチャンネルのため、これまでの非単結晶半導体を用いた横チャンネル型の絶縁ゲイト型半導体装置の50倍の10MHz以上を得ることができた。またS2が絶縁性の場合耐圧4~50V、カットオフ周波数50MHz以上を有することができた。

また逆方向リークは、第1図に示すようなS1またはS3を Si_xC_{1-x} ($0 < x < 1$ 例えば $x = 0.2$)とすることにより、さらにS2を絶縁物化することによりこのS1、S3の不純物がS2に混入することが少なくなり、このN—I接合またはP—I接合のリークは逆方向に10Vを加えても10nA/cm以下であった。これは単結晶の逆リークよりもさらに2~3桁も少なく、非単結晶半導体特有の特性を積極的に利用したことによる好ましいものであった。

さらに高温での動作において、電極の金属が非単結晶のS1、S3内に混入して不良になりやすいため、この電極に密接した側を Si_xC_{1-x} ($0 < x < 1$ 例えば $x = 0.2$)とした。その結果150℃で1000時間動作させたが何等の動作不良が1000素子を評価しても見られなかった。これはこの電極に密接してアモルファス硅素のみでS1またはS3を形成した場合、150℃で10時間も耐えないことを考えると、きわめて高い信頼性の向上となった。

さらにかかる積層型のIGPのため、従来のように高精度のフォトリソグラフィ技術を用いることなく、基板特に絶縁基板上に複数個のIGP、抵抗、キャパシタを作ることが可能になった。そして液晶表示ディスプレイにまで発展させることが可能になった。

以上の説明において明らかなごとく、この発明はチャンネル形成領域を構成する非単結晶半導体を積層体の側面に設け、さらに大気に触れさせることなくゲイト絶縁膜およびゲイト電極を形成せしめている。このためIGPの界面(絶縁膜—第4の

半導体、絶縁膜—ゲイト電極)が不純物に汚染されることがない。また異方性エッチを行うため、その際のプラズマの方向が界面に平行に加わり、絶縁物界面に損傷により新たな導結合中心を発生させないという特長を有する。このため本発明の積層体を第4の半導体で覆い、ソース、ドレインの3電極とゲイト電極とがショートしにくい。S2を絶縁性とするため、ソース、ドレインよりの耐圧を向上できたという多くの特長を有する。

本発明における非単結晶半導体は硅素、ゲルマニウムまたは炭化硅素(Si_xC_{1-x} $0 < x < 1$)、絶縁体は炭化硅素または窒化硅素を用いた。しかし、半導体としてInP、BP、GaAs等のIII-V化合物半導体を用いてもよい。

4. 図面の簡単な説明

第1図は本発明による絶縁ゲイト型半導体装置、インバータ、抵抗、キャパシタまたは絶縁ゲイト型半導体装置とキャパシタとを積層としたマトリックス構造の等価回路を示す。

第2図は本発明の積層型絶縁ゲイト型半導体装置

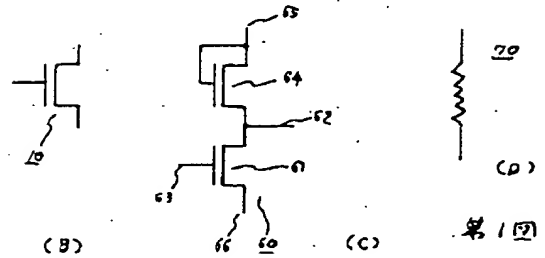
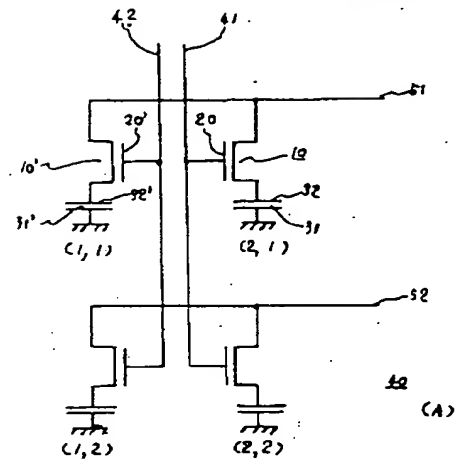
図の工程を示す縦断面図である。

第3図は本発明の積層型絶縁ゲート半導体装置のインバータ構造を示す。

特許出願人

株式会社半導体エネルギー研究所

代表者 山崎 昇平

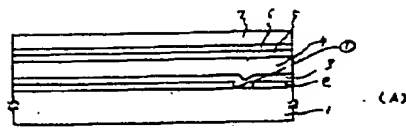


(B)

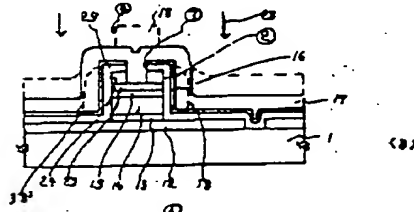
(C)

(D)

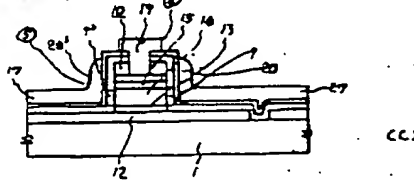
第1図



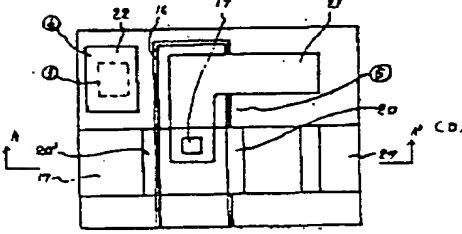
(A)



(B)

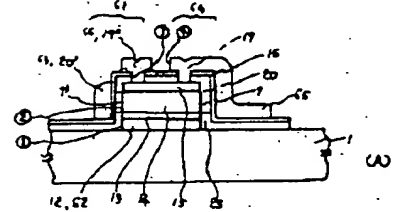


(C)

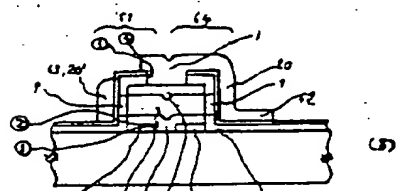


(D)

第2図



(E)



(F)

第3図